

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-150219**

(43)Date of publication of application : **18.06.1993**

(51)Int.CI.

G02F 1/133

G02F 1/133

G09G 3/36

H04N 5/66

H04N 9/30

(21)Application number : 04-082694

(71)Applicant : N VIEW CORP

(22)Date of filing : 04.03.1992

(72)Inventor : **VOGELEY JAMES H**
VOGELEY ARTHUR W
NEWTON PATRICK H

(30)Priority

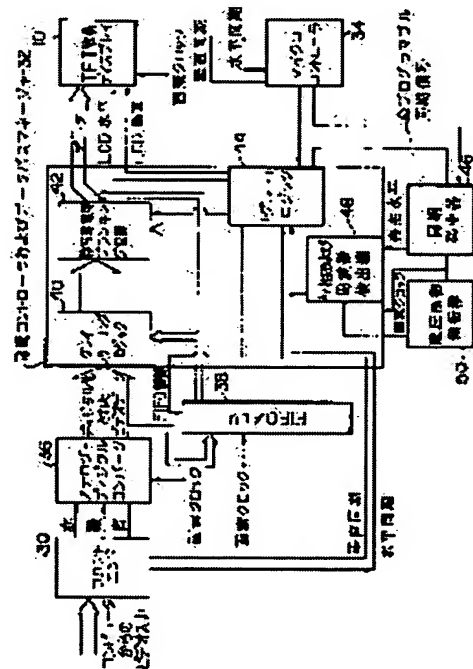
Priority number : **91 664950** Priority date : **05.03.1991** Priority country : **US**

(54) METHOD FOR DISPLAYING RGB AND SYNCHRONIZING VIDEO SIGNAL WITHOUT USING AUXILIARY FRAME STORING MEMORY

(57)Abstract:

PURPOSE: To solve problems to be generated at the time of displaying video data based on various video standards on a liquid crystal display(LCD) without preparing an auxiliary frame memory and an address system.

CONSTITUTION: An input video signal is sampled and analyzed to discriminate which existing video format corresponds to the input video signal. The video signal is conditioned so as to suit the LCD device 10. When the number of lines of the video signal is less than the number of effective display lines in the LCD, every other video frame is displayed and a display frame rate is reduced to a half of an input frame rate. When the number of lines of the input signal is less than a half of the number of effective display lines, the input signal is supplied to a line buffer memory 38, the input signal is read out from the memory 38 to the LCD by twice the video input line rate and a video image more desirable than covering a large part of the LCD panel is formed by the double scanning of each line.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-150219

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	7820-2K		
	5 0 5	7820-2K		
G 0 9 G 3/36		7926-5G		
H 0 4 N 5/66	1 0 2 B	7205-5C		
9/30		8943-5C		

審査請求 未請求 請求項の数6(全 16 頁)

(21)出願番号 特願平4-82694

(22)出願日 平成4年(1992)3月4日

(31)優先権主張番号 07/664, 950

(32)優先日 1991年3月5日

(33)優先権主張国 米国(US)

(71)出願人 592073905

エヌヴユー・コーポレーション

NVIEW CORPORATION

アメリカ合衆国、23606 ヴァージニア、

ニューポート・ニュース、キャノン・ブー

ルヴァード 11835

(72)発明者 ジェイムズ・エイチ・ヴォージェリー

アメリカ合衆国、23692 ヴァージニア、

ヨークタウン、ヨーク・ヴュー・ロード

210

(74)代理人 弁理士 奥山 尚男 (外2名)

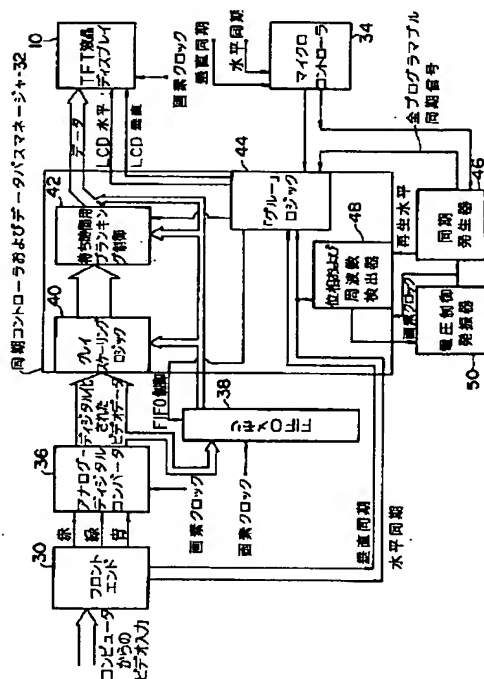
最終頁に続く

(54)【発明の名称】 補助フレーム記憶メモリなしにRGBおよび同期ビデオ信号を表示する方法および装置

(57)【要約】

【目的】 LCDディスプレイに各種のビデオスタンダードによるビデオデータを表示する際の問題点を、補助のフレームメモリおよびアドレスシステムを設けることなく解消する。

【構成】 入力ビデオ信号をサンプリング・分析し、既存のビデオフォーマットのどれに当たるかを識別する。ビデオ信号をLCDディスプレイ装置に適合するように条件付けする。ビデオ信号におけるラインの数がLCDで有効なディスプレイラインの数より少ない場合には、1つおきのビデオフレームを表示し、ディスプレイフレームレートを入力フレームレートの半分にする。入力信号のラインの数が有効なディスプレイラインの数の半分以上である場合には、入力信号はラインバッファメモリに供給され、そこからビデオ入力ラインレートの2倍でLCDに読み出され、各ラインの二重の走査により、LCDディスプレイパネルの大部分をカバーするより好ましいビデオ画像が形成される。



【特許請求の範囲】

【請求項 1】 液晶ディスプレイ装置上に入力ビデオを遠隔表示する装置であって、前記入力ビデオが入力フレームレートで供給される多数の入力ビデオラインを有し、前記ディスプレイ装置が補助フレーム記憶メモリを必要とすることなくディスプレイフレームレートで多数のディスプレイビデオラインを表示することができるとともに待ち時間メモリ特性を有しており、前記ビデオ入力にตอบสนองし、該入力ビデオを分析および処理し、該分析されたビデオフォーマット情報に基づいてビデオ出力および垂直同期および水平同期出力を発生するフロントエンド手段と、前記ビデオ入力にตอบสนองし、デジタル化されたビデオデータ出力を発生するアナログ-デジタル変換手段と、ラインバッファ制御信号および前記デジタル化されたビデオデータ出力にตอบสนองし、前記ビデオデータ出力がディスプレイ装置において有効なラインの数の半分以下のビデオ信号を有している場合、二重走査出力を発生するラインバッファメモリ手段と、前記デジタル化されたビデオデータ、前記ラインバッファメモリ手段、前記水平および垂直同期出力、プログラマブル同期信号、画素クロックおよび再生水平同期信号にตอบสนองし、データ、水平同期および垂直同期信号を前記ディスプレイ装置に供給する同期コントローラおよびデータパスマネージング手段であって、前記デジタル化されたビデオデータおよび前記ラインバッファメモリ手段にตอบสนองし、グレイスケールビデオ出力を発生するグレイスケールロジック手段、前記グレイスケールビデオ出力および前記ラインバッファメモリ手段にตอบสนองし、LCDビデオデータを前記液晶ディスプレイに供給するブランキングコントロール手段と、前記水平同期出力および再生水平出力にตอบสนองし、発振器制御出力を発生する位相・周波数検出手段、および垂直および水平同期情報および完全にプログラマブルな同期信号にตอบสนองし、LCD水平およびLCD垂直同期データを前記ディスプレイ装置に供給するグルーロジック手段を有する前記同期コントローラおよびデータパスマネージング手段と、前記発振器制御出力にตอบสนองし、画素クロック発振器出力を発生する電圧制御発振器と、前記発振器出力にตอบสนองし、前記再生水平出力を前記位相・周波数検出手段に供給するとともに、前記完全にプログラマブルな同期信号出力を前記グルーロジック手段に供給する同期発生手段と、前記同期信号出力にตอบสนองし、制御された同期信号を前記グルーロジック手段に供給するマイクロコントローラ手段と、を有する液晶ディスプレイ装置上に入力ビデオを遠隔表示する装置。

【請求項 2】 液晶ディスプレイ装置上に入力ビデオを遠隔表示する装置であって、前記入力ビデオが入力フレームレートで供給される多数の入力ビデオラインを有し、前記ディスプレイ装置が補助フレーム記憶メモリを必要とすることなくディスプレイフレームレートで多数のディスプレイビデオラインを表示することができるとともに待ち時間メモリ特性を有し、前記入力ビデオにตอบสนองし、前記多数の入力ビデオラインを有するフォーマット情報のために前記入力ビデオを処理および分析し、前記分析されたビデオフォーマット情報に基づいてデジタルビデオ出力、垂直同期および水平同期出力を発生し、入力ビデオラインがディスプレイビデオラインより少ないことを指示するフロントエンド手段と、前記デジタル化されたビデオ出力および入力ビデオラインがディスプレイビデオラインより少ないという前記指示にตอบสนองし、デジタル化されたビデオ出力の 1 つおきのフレームを前記液晶ディスプレイに供給し、前記 1 つおきのフレームのビデオ出力が抑制された垂直同期ビットによって分離されて、前記入力ビデオのフレームレートを半分に低減するブランキング制御手段と、を有する液晶ディスプレイ装置上に入力ビデオを遠隔表示する装置。

【請求項 3】 液晶ディスプレイ装置上に入力ビデオを遠隔表示する装置であって、前記入力ビデオが入力フレームレートで供給される多数の入力ビデオラインを有し、前記ディスプレイ装置が補助フレーム記憶メモリを必要とすることなくディスプレイフレームレートで多数のディスプレイビデオラインを表示することができるとともに待ち時間メモリ特性を有しており、前記入力ビデオにตอบสนองし、前記多数のビデオ入力ラインを有するフォーマット情報のために前記入力ビデオを処理および分析し、前記多数の入力ビデオラインがビデオディスプレイラインの数の半分以下であるかを判定し、前記分析されたビデオフォーマット情報に基づいてデジタル化されたビデオ出力および垂直同期および水平同期出力を発生するフロントエンド手段と、ラインバッファ制御信号および前記デジタル化されたビデオデータ出力にตอบสนองし、前記ビデオデータ出力がディスプレイ装置において有効なラインの数の半分以下のビデオ信号を有しているとき、二重走査ビデオ出力を前記LCDに供給するラインバッファメモリ手段と、前記入力ビデオラインがディスプレイビデオラインの半分以下であることにตอบสนองし、ラインバッファ制御信号を発生する同期コントローラおよびデータパスマネージング手段と、を有する液晶ディスプレイ装置上に入力ビデオを遠隔表示する装置。

【請求項 4】 液晶ディスプレイ装置上に入力ビデオを遠隔表示する方法であって、前記入力ビデオが入力フレ

ームレートで供給される多数の入力ビデオラインを有し、前記ディスプレイ装置が補助フレーム記憶メモリを必要とすることなく、ディスプレイフレームレートで多数のディスプレイビデオラインを表示することができるとともに待ち時間メモリ特性を有しており、前記入力ビデオを処理および分析し、該分析されたビデオフォーマット情報に基づいてビデオ出力および垂直同期および水平同期出力を発生するステップと、前記ビデオ出力をデジタル化されたビデオデータ出力に変換するステップと、前記デジタルビデオデータ出力およびバッファ制御信号にตอบสนองし、前記ビデオデータ出力が前記ディスプレイ装置において有効なラインの数の半分以上のラインの数を有するビデオ信号を有している場合、二重走査出力を発生するステップと、前記デジタルビデオデータ、前記二重走査出力、前記水平および垂直同期出力およびプログラマブル同期信号、画素クロックおよび再生水平同期信号にตอบสนองし、ビデオ出力、水平同期および垂直同期信号を前記ディスプレイ装置に供給するステップであって、前記デジタルビデオデータをグレイスケールし、該グレイスケールされたビデオ出力を発生し、前記ビデオディスプレイラインの数が前記入力ビデオラインの数より少ない場合、垂直走査ビット信号を前記グレイスケールされたビデオ出力に抑圧し、LCDビデオデータを前記液晶ディスプレイに供給し、前記水平同期出力にตอบสนองし、発振器制御出力を発生し、垂直および水平同期信号および全プログラマブル同期信号にตอบสนองし、LCD水平およびLCD垂直同期データを前記ディスプレイ装置に供給する前記ディスプレイ装置に供給ステップと、前記発振器制御出力にตอบสนองし、画素クロック発振出力を発生するステップと、前記発振器出力にตอบสนองし、前記再生水平出力および全プログラマブル同期信号出力を供給するステップと、前記同期信号出力にตอบสนองし、制御同期信号を供給するステップと、を有する液晶ディスプレイ装置上に入力ビデオを遠隔表示する方法。

【請求項5】 液晶ディスプレイ装置に入力ビデオを遠隔表示する方法であって、前記入力ビデオが入力フレームレートで供給される多数の入力ビデオラインを有し、前記ディスプレイ装置が補助フレーム記憶メモリを必要とすることなくディスプレイフレームレートで多数のディスプレイビデオラインを供給することができるとともに待ち時間メモリ特性を有し、ビデオフォーマット情報のために前記入力ビデオを処理および分析し、デジタルビデオ出力を発生し、入力ビデオラインがディスプレイビデオラインよりも少ないことを指示するステップと、

前記指示、前記ビデオフォーマット情報および前記デジタル化されたビデオ出力にตอบสนองし、デジタル化されたビデオ出力の1つおきのフレームを前記液晶ディスプレイに供給し、前記1つおきのフレームのビデオ出力が前記ディスプレイフレームレートを前記入力ビデオのフレームレートの半分であるように抑圧された垂直同期ビットによって分離するステップと、を有する液晶ディスプレイ装置に入力ビデオを遠隔表示する方法。

【請求項6】 液晶ディスプレイ装置上に入力ビデオを遠隔表示する手段であって、前記入力ビデオが入力フレームレートで供給される多数の入力ビデオラインを有し、前記ディスプレイ装置が補助フレーム記憶メモリを必要とすることなくディスプレイフレームレートで多数のディスプレイビデオラインを表示することができるとともに待ち時間メモリ特性を有し、前記多数のビデオ入力ラインを有するビデオフォーマット情報のために前記入力ビデオを分析および処理し、前記多数の入力ビデオラインが前記ビデオディスプレイラインの数の半分以上である場合、指示出力を発生するとともに、デジタル化されたビデオ出力を発生するステップと、前記指示出力および前記デジタル化されたビデオ出力にตอบสนองし、デジタル化されたビデオ出力の各ライン毎に対しての二重化された2つのラインのディスプレイデジタルビデオからなる前記LCDへのデジタル化されたビデオ出力を提供し、前記ディスプレイが入力ビデオによって供給されるラインの数の2倍以上のラインの入力画像を表示するステップと、を有する前記方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、全体的にビデオデータ処理技術に関し、更に詳しくは補助フレーム記憶メモリを使用することなく薄膜トランジスタ液晶ディスプレイ上にビデオ情報を表示する独特の方法および装置に関する。

【0002】

【従来の技術】薄膜トランジスタ(TFT)液晶ディスプレイ(LCD)装置はビデオ情報を表示することができるものとして周知である。TFT技術をLCDディスプレイシステムに適用および変更する種々のものをカバーする多くの特許がある。例えば、1989年7月25日にニコラス(Nicholas)に付与された米国特許第4,851,827号、1990年2月6日に発行されたモロズミ他(Morozumi et al)の米国特許第4,899,141号および1990年6月5日に発行されたシャノン(S. Hannon)の米国特許第4,931,787号などがあり、これらは全てここに参考のため取り入れられている。

【0003】いくつかの主要なLCD供給者（シャープ、日立他）は高解像度カラー薄膜トランジスタのディスプレイ（例えば、シャープ社のLCD形式番号LQ10P011）を紹介しており、これらは1988年8月18日および1990年12月11日にボーゼリ他(Vogelely et al)にそれぞれ発行された米国特許第4,763,993号および第4,976,536号に示されているように、モニタの代替品（陰極線管（CRT）の代替品）となるような、コンピュータディスプレイ映像システムといったコンピュータ用途に適合できるような価格をつけられている。上述した米国特許は参考のためここに取り入れられているものである。

【0004】種々の経済的理由のために、このようなディスプレイは、現在の高級なコンピュータビデオスタンダード（VGAおよびApple Mac II）に使用するために設計されている。ここで、「ビデオスタンダード」という用語は、ビデオデータおよび水平および垂直同期および走査信号が特定のフォーマットにあるものを示している。このような最も優れたコンピュータビデオスタンダードの公に入手可能な仕様書の結果、タイミングに要求される条件はこれらのスタンダードに非常に特殊なものであり、1つのスタンダードに適用し得るように設計されたシステムは異なるスタンダードに適合することはできない。

【0005】多くのビジネス用途において、ビデオ情報を表示することは遠隔コンピュータビデオ製品にとって好ましいことである（「遠隔」ビデオ製品はコンピュータデータバスおよびメモリマップに直接アクセスすることができないが、標準のRGBおよび同期フォーマットシステムのような直列バスを介してビデオデータを供給するものである）。ビデオ情報のこのようなディスプレイは、LCDベースの投影システム（米国特許第4,763,993号に開示されているような）または低ストレスワークステーション（米国特許第4,976,536号に開示されているような）によるものである。従って、どのような遠隔システムも、VGAおよび/またはMac IIの現在のビデオスタンダードのみならず、EGA、CGA、Apple II、Mac、Hercules等のような古いビデオスタンダードとも以前にさかのぼって適合し得ることが望ましい。

【0006】薄膜トランジスタ液晶ディスプレイに対する現在の設計は、ダイナミックランダムアクセスメモリ（DRAM）に非常に類似した電気的特性を有する個々のセルを利用している。セル、すなわち画素は、アドレスされ、駆動されると、データの電荷を受け入れ、この電荷がまた近傍の液晶材料を励起する。最新のディスプレイでは、電荷の大きさは制御され、そしてコントラスト比/カラー強度が制御される。標準的な用途、すなわちVGAビデオディスプレイにおいては、セル、すなわち画素の各々は毎秒約2500万画素のレートで直列に

アドレスおよび駆動され、各画素は1/60ないし1/70秒毎に一度アドレスされ、再駆動される。

【0007】このような高速ディスプレイにおいて、（データを次の行の画素に供給するために）薄膜トランジスタの選択が解除されると、液晶材料の近傍のデータの電荷はかなりの期間滞留する。電荷は直ちに減衰し始めるが、もし約16ミリ秒（約1/60秒）のビデオリフレッシュレートよりもかなり長い期間再駆動信号またはリフレッシュ信号が発生しないことがないとしても、このような減衰は、画素コントラストに著しい影響を与えない。要するに、DRAMセルのように、TFT液晶セルは非常に迅速に（1ミリ秒以下）の期間で新しい電荷値を受け入れ、100ミリ秒以上の長時間にわたりわずかな減衰をもってその電荷を保持する。

【0008】ディスプレイの均一性を達成し、必要な駆動回路を最小にし、素材のゼロRMS電圧励起以外の供給によって生ずる液晶セルの偏光を防止するために、現在のTFTパネルにおける駆動回路においては一般に全パネルが規則的に「走査」されることが必要である。

【0009】

【発明が解決しようとする課題】図2の実施例を参照すると、典型的な従来のシステムを示しているが、480ラインのデータがあり、LCDディスプレイ装置上に480ラインがある。そして、各フレームは完全にディスプレイをカバーし、ビデオデータの終わりに導入されている垂直同期ビットは次のフレームのビデオデータの表示をトリガしている。

【0010】従来のパネルコントローラに使用する電子タイミング「アーキテクチャ」（一般的にCRTディスプレイと使用するように設計される）においては、パネルを部分的に走査することは不可能であるとともに、ラインまたは画面の走査を完了することなく、ラインの初めまたは画面の上部にすぐに引き返すことは不可能である。遠隔ディスプレイ製品の設計者は、高解像度TFTパネル上を低解像度ビデオフォーマットで直接走査するための障害に直面している。

【0011】例えば、EGA（enhanced graphics adaptor）のビデオデータを表示することにはかなり問題がある。標準のEGAビデオデータは、CRTの陰極線の「復帰」用に設けられている約16ラインの垂直ブランキングがそのあとに続く350ラインのビデオデータを有している。LCDパネルの上部で350ラインのデータを走査することは簡単なことである。しかしながら、パネルの最初の350ラインを走査した後、設計者は次のフレームに進む前にパネルの残りの130ライン（パネルの全体の480ラインからビデオデータの350ラインを引いた値）を走査することが必要である。

【0012】入ってくるEGAデータとの同期を維持するために、走査をEGAスタンダードによって供給され

ている16ラインのブランキング期間内に完了しなければならない。設計者は、最後のビットが底部で走査完了する前に新しい走査ビットをパネルに取り入れるオプションを有することになるが、これは結果として入ってくるデータの一部分が2つの位置においてパネル上で走査されることにつながる。

【0013】しかしながら、上記のようにビデオデータのラインの数がTFT LCD上のラインの数より少ない場合には、図3に示す状態のように、走査がLCDディスプレイの底部に達する前に、垂直同期ビットが導入される。この結果、16ラインのブランキング期間の後、次のフレームからのビデオデータはパネルの終わりに達するまでに表示が開始され、その結果、入ってくるビデオデータの初めを表示するようにリセットされる。この結果、入ってくるデータがLCD上の別々の位置に走査されることになる。一般に、ディスプレイの上部が画面の底部において繰り返されることとなり、これはユーザによって無視されるかまたは機械的／光学的に見えないように遮断されなければならない。

【0014】この問題を解決する従来の方法は、ビデオデータ入力によって供給されるが、LCDディスプレイのクロック要求条件に従ってアドレスされ読み出される補助フレーム記憶バッファを設けることである。不幸なことに、多くの典型的なディスプレイは640×480×3カラーの画素であり、各画素は8ビットのカラーインディケータを必要としている。このようなシステムは7メガバイトのフレーム記憶装置を必要とする。

【0015】更に、補助フレーム記憶媒体では、ビデオ情報をこのような大きなフレーム記憶装置に読み取り、それを適当なタイミングで読み出してLCDディスプレイ上に情報を表示する場合に発生する遅延およびペナルティがある。

【0016】更に、表示すべき入力ビデオ信号におけるラインの数がディスプレイ装置上でディスプレイ用に有効なビデオの全体のラインの半分以下である場合、ビデオ画像は実質的に歪められ、ディスプレイ装置の半分以下を覆うのみである。

【0017】このようなビデオ処理システムの上述した欠点に鑑み、本発明の目的は、補助または別のフレーム記憶およびアドレスのためのシステムを設けることなく、TFT LCDディスプレイ上にビデオデータを表示するシステムを提供することにある。

【0018】本発明の他の目的は、入力ビデオのラインがTFT LCDディスプレイのラインの数の半分以下であるLCDディスプレイ上に「全」フレームビデオ（できるだけ垂直方向を完全に塞ぐような）を供給することである。

【0019】

【課題を解決するための手段】上記およびその他の目的は、TFTセルの「待ち時間(latency)」を利

用し、第2のフレーム用の入力データを無視しつつ、2つのフレームのビデオ情報を読み込むのに必要な期間にわたって、表示されたビデオの1つのフレームを維持することによって達成される。本質的には、1つおきのフレームのビデオ情報のみが表示され、ディスプレイを第2のフレームに対しては保持する。1つおきのフレームの表示であるため、ビデオディスプレイレートは、標準の毎秒60フレームの代わりに、毎秒30フレームである。しかしながら、ビデオディスプレイ上においては著しく高速な動作がないので、両方の表示画像の見た感じは、フレームバッファおよび全速(60ヘルツ)のリフレッシュシステムを必要とせず、同等である。

【0020】他の実施例においては、表示されるビデオデータが、TFT LCDにおけるディスプレイ用に有効な全体のラインの半分以下である場合、ディスプレイ用のより好ましい大きさの画像を得るためにラインバッファメモリを設け、入力ビデオラインの各々を出力ディスプレイ上に二重走査することを可能にしている。

【0021】

【実施例】補助フレーム記憶を必要とすることなくRGBおよび同期ビデオ信号を表示する方法および装置を更によく理解するために、添付図面を参照されたい。図1を参照すると、従来の薄膜トランジスタ液晶ディスプレイシステムが概略的に図示されている。アクティブマトリックスアドレス式液晶ディスプレイ10はm行(1ないしm)を有し、各行にはn個(1ないしn)のディスプレイエレメント12が水平方向に配列されている。簡単化のため、小数のディスプレイエレメントのみが図示されているが、実際には(前述したシャープのLCDパネルのような)適当なLCDは480行を有し、各行には画素を構成する640個のエレメントがあり、各画素は1つが赤、緑および青の3原色の各々に対応する3つの別々に駆動されるエレメントを有している。従って、このような配列には900、000個以上の異なるエレメントがありうる。

【0022】各ディスプレイエレメント12は、各エレメントに関連する薄膜トランジスタスイッチング要素11を有している。共通の行における全てのディスプレイエレメントに関連するスイッチング要素11は、相互接続部22において行導体14に接続されている。スイッチング要素は、列の相互接続部23において列導体15に相互接続されている。列導体15は各列にデータ信号電圧を供給するものである。各TFTスイッチング要素からの出力は電極16に供給される。

【0023】全てのディスプレイエレメントに共通な共通電極17は、それぞれの画素電極16を有している基板に並列であって、該基板から間隔をあけて設けられている隣接基板上に実際には設けられている。画素電極16および共通電極17の間のスペースには液晶材料が設けられ、LCDパネルは基板の上下に適当に設けられた

偏光子および検光子を有している。

【0024】動作中、各行の全てのスイッチング手段をオンにするようにスイッチング信号によって連続的に行導体14を走査し、1つの行の各列の列導体にデータ信号を適当に供給することによって装置は一度に1行駆動される。1つの行導体14が励起されると、列導体15の情報が個々の電圧としてそれぞれの画素電極16に供給される。

【0025】画素電極16上の静電荷によって、電極16と共通電極17の隣接部分との間に挟まれた液晶材料は、パネルを通る光の透過を制御するように（液晶材料の種類によって）ねじられたりまたはねじりが解除される。重要なことは、行導体14がディスエーブルされているとき、（行導体がエネーブルされた間に）列導体15上に供給された電圧は、画素電極16に供給されたまま、残っていることである。画素電極16はコンデンサの一方のプレートと考えることができ、供給された電圧はある期間残っている（すなわち、電極16と共通電極17によって形成されるコンデンサ上に蓄積された電荷の形で）（この電圧は薄膜トランジスタを通過するアースへの抵抗と画素電極16および共通電極17の間の容量の積に比例する時定数で減衰する）。

【0026】上述したように、画素電極16上の電荷はわずかに減衰しながら100ミリ秒以上で長期間にわたって残る。本出願人は薄膜トランジスタディスプレイエレメントのこの「メモリ」または「待ち時間（latency）」の特徴を利用し、補助フレーム記憶バッファの必要性を除去し得ることを発見した。補助フレーム記憶バッファを除去することによって、比較的大容量のメモリデータを記憶し、アドレスするタイミング要求条件を単純化し、これにより薄膜トランジスタディスプレイシステムの価格を低減する。

【0027】標準的なRGBおよび同期フォーマットビデオデータを有する直列バスによって遠隔ディスプレイが駆動される大部分のコンピュータ用途において、毎秒約60フレームの標準ビデオ更新レートは不必要である。実際、毎秒30フレームのビデオ更新レートは、TFT-LCD画素の「待ち時間」があれば、フリッカのない状態で見のに充分以上である。

【0028】本発明の好適実施例においては、LCDパネルの全て（または少なくとも大部分）を走査するためには少なすぎるライン数を有するビデオディスプレイの到来が検知された場合には、システムは「待ち時間」ディスプレイモードに戻り、1つの完全なデータフレームをパネル上で走査し、その後、全ての追加データを見捨てる。画素電極16には本来供給されたデータが残る。

「待ち時間」フレームによって発生する走査信号は、TFTフレーム走査を完全にするために使用される。かなりしばしば、待ち時間フレームが完全になるより相当前に、フレーム走査が完了する。しかしながら、垂直走査

シフトレジスタに新しい走査ビットが供給されることは、次のフレームが開始するまで阻止される。「ブランキング（blanking）」という用語は、垂直同期ビットの抑制、LCDクロックパルスの抑制等によって、ビデオデータがクロックされず、LCDパネル上に読み出されないことを意味するために使用される。

【0029】LCDパネルの更新レートは、入ってくるデータの1つおきのフレームに同期し、間にあるフレームは無視される。従って、LCDパネルのブランキングを入力ビデオ同期信号に同期させ、この動作を達成するために適当なデータ抑圧またはブランキング信号を発生することが必要なだけである。ビデオデータがLCDディスプレイエレメントよりも少ない行またはラインを有している従来のLCDシステムにビデオデータを適用した結果が、図3に示されており、入ってくるビデオデータが表示される情報の各フレームに対してディスプレイの底部で部分的に繰り返されていることがわかる。これは実際に、350ラインのビデオデータの終わりの後約16ミリ秒で、垂直同期ビットを導入することによるものであり、これにより第1のフレームの残りの部分の上に第2のフレームビデオ信号の表示を開始させる。

【0030】図4における本発明では、入ってくるビデオデータが1つのフレームに対して表示され、すぐ次のフレームは垂直同期ビットが抑圧、すなわち電子的に「ブランクにされ（blanked）」、個々の画素電極16が先行フレームで供給されたデータを保持できるようにしている。実際、フレームレートは半分に低減し、1フレームからの画像は2倍長く保持されている。

【0031】適当なLCD水平同期および垂直同期パルス、およびデータ入力供給によって、図1のディスプレイは所望通り動作することがわかる。このような装置を試験した結果、最も速いディスプレイ更新状態を除く全ての場合において、表示された画像の品質は、フレームバッファおよび完全な速度（60ヘルツ）のリフレッシュを使用して得られたものと全く同じであった。スキャン期間の延長およびその結果の画素の長い減衰により、認識できる程度のフリッカまたはコントラスト／カラー彩度の大きな低下は発生しない。

【0032】上述したように、従来のビデオディスプレイシステムにおける別の問題は、ビデオ入力があるLCDパネル上で有効なラインの数の半分以下であることである。このような場合、通常ビデオ信号はLCDパネルの上半分に表示され、その結果、ビデオが極端に圧縮される。

【0033】全体のLCDパネルがビデオディスプレイ用に有効であるので、ディスプレイにおけるラインの数がビデオ入力のラインの数を超えていたとしても、全体のLCDパネルを利用することは有益なことである。これは、本発明の好適実施例においてはラインバッファメ

メモリを設けることによって達成され、このラインバッファメモリはファーストインファーストアウト (FIFO) メモリであり、これは640画素分の有効なメモリを備えている(カラーを記憶する場合には各々に対して3個)。各ラインは二重走査され、各ラインの入ってくるビデオ信号はLCDパネルの隣接する2つのライン上に表示される。この結果、ビデオはもっと良好に見え、画像のアスペクト比も良好になる。

【0034】飛び越し走査シーケンスの1つのフレームから次のフレームへと完全なビデオ画像を発生するためのラインバッファメモリの使用は、近年陰極線管テレビ工業において使用されている。飛び越し走査の問題に必要な技術および特殊メモリは、直接LCD走査システムに適用できる。要するに、ラインバッファを使用して、入ってくる1ライン用のビデオ信号をバッファし、この信号を該ビデオ信号のクロック速度の倍のクロック速度でLCDに走査させる。LCDへとバッファされたビデオ信号は、ラインバッファに書き込まれた入力ビデオ信号の各単一ライン毎に2回ラインバッファから読み出され、LCD上に2重に走査された画像が生ずる。

【0035】例えば、入ってくるビデオラインがLCDパネル上の有効なラインの半分以下である場合には、図3に示したようなLCDフレームの底部に表示される別のビデオ信号の問題が発生する。これは二重走査の方法を利用するか否かにかかわらず起こることである。二重走査を利用したとしても、上述した「待ち時間」ブランキング技術をも使用し、最良の品質の画像を発生することができる。

【0036】上述した待ち時間ブランキング技術および二重走査技術は、種々の方法で得られる同期化または同期信号の発生および調整を必要とする。ビデオソースクロックに位相および周波数についてロックされる画素クロックがあることが好ましい。もちろん、遠隔ビデオディスプレイにおいては、RGBおよび同期情報のみを得られるので、ビデオソースまたは画素クロックを水平または垂直同期信号から再生することが必要である。

【0037】また、LCD水平、垂直およびデータタイミング、待ち時間フレームの間のデータブランキングおよび二重走査ビデオ出力の表示用のラインバッファタイミング用に使用される種々の同期制御信号を発生できることが好ましい。また、種々の異なるビデオ信号入力フォーマットと即時に適合し得るようにマイクロプロセッサ制御で構成され得る同期発生システムを有することも好ましい。

【0038】動作においては、入力ビデオ信号のフォーマットがマイクロプロセッサによって自動的に識別される場合には、識別されたビデオフォーマットに関連する種々のパラメータをルックアップテーブルから検索し、このようなビデオフォーマットをサポートするようにタイミングロジックを再構成することができることが有益

である。または、入ってくるビデオフォーマットが知られている場合には、マイクロプロセッサは識別のために必要でなく、このような既知のビデオフォーマットに関連するパラメータを提供するのみであり、手動で選択することができる。入力ビデオ信号の水平および垂直同期パルスは、マイクロコントローラによって分析され、水平ライン周波数、フレーム周波数および信号関係(反転等)を決定することができる。このような情報により、ルックアップテーブルにより入力ビデオ信号を識別し、待ち時間タイミングを発生し、二重走査、直接駆動をエネーブルまたはディスエーブルし、ビデオデータタイミングを調整して、ビデオ入力に基づいてLCDに所望のビデオ出力を付与する。

【0039】上述した全てを達成する好適実施例が図5に示されている。RGBおよび同期データを構成するアナログ、デジタル、複合、TTL等のビデオ入力コンピュータからフロントエンド30に供給される。フロントエンド30は入ってくるビデオデータを処理し、ADコンバータと適合し得る通常の回路を有している。フロントエンド30は入力ビデオ信号から赤、緑、青のアナログ出力および垂直同期および水平同期出力信号を提供する。垂直同期および水平同期情報は、同期コントローラおよびデータバスマネージャ32およびマイクロコントローラ34に供給される。ビデオ入力がカラーでなく、白黒である場合には、アナログ出力信号が赤、緑および青のアナログ出力信号の代わりに供給される。あるビデオフォーマットで必要であるように、フロントエンドは必要に応じてマルチプレクス機能および/または同期分離機能を有する。

【0040】好適実施例におけるマイクロコントローラは、インテルの8051マイクロプロセッサであり、これは垂直同期および水平同期信号の分析においてビデオ入力をLCDとの動作上の両立性が望まれているVGA、Mac II、EGA、CGA、Apple II、Mac、Herculesまたは他のビデオフォーマットであること識別することができる。検出ソフトウェアは、「多重同期」CRTモニタにあるような通常のものである。また、マイクロコントローラは、このようなビデオ信号を表示するための水平および垂直同期パラメータをルックアップテーブルに記憶し、このような入力信号に対して「ブランキング」および/または「二重走査」が好ましい場合には、マイクロコントローラ34の出力は、検出した入力ビデオと両立するように同期コントローラおよびデータバスマネージャ32を制御および再構成する。

【0041】フロントエンド30からのアナログ形式のビデオデータは、アナログ-デジタルコンバータ36に供給され、その結果のデジタル化されたビデオデータは、同期コントローラおよびデータバスマネージャ32およびラインバッファメモリ38に供給される。上述

したように、好適実施例においては、ファーストイン・ファーストアウト（FIFO）メモリがラインバッファメモリ38用に利用され、このようなメモリシステムはNECのモデルチップNO. 42101を利用することができる。

【0042】好適実施例においては、同期コントローラおよびデータバスマネージャ32はXilinx社によって作られているフィールド・プログラマブル・ゲート・アレイ・ロジック・チップ モデル3020であり、これは4つの別々の制御機能を有するようにプログラムすることができる。デジタル化されたビデオデータ出力を発生するためにグレイスケーリングロジック40が使用され、このビデオデータ出力は、TFT液晶ディスプレイに適用された場合ビデオデータ入力と供給される許容度および色合いにおける変化を正確に反映する。また、グレイスケーリングロジック機能ブロック40は、ラインバッファメモリからのビデオデータ入力を有し、二重走査が必要な場合には、ラインバッファメモリは次に利用されるグレイスケーリングロジックに「第2の」ラインのビデオデータを供給し、この結果、グレイスケーリングロジックの出力は、連続した一度に1つづつの、2つの同一のラインの垂直データとなる。

【0043】グレイスケーリングロジック回路40の出力は、待ち時間用ブランキング制御回路42に供給される。この回路42は、「グルー（接着剤）」ロジック回路44を介してマイクロコントローラ34の制御の下に、ブランキングが必要または望ましいと決定される場合には、ビデオデータの1つおきのフレームのブランキングを行う。待ち時間用ブランキング制御回路42の出力は、液晶ディスプレイ10に供給されるビデオデータである。

【0044】マイクロコントローラ34は、制御信号を「グルー」ロジック44に供給する。グルーロジック44は、種々の同期信号の間に所定のタイミング関係を形成するように作用し、ラインバッファメモリおよび/または待ち時間用ブランキング制御回路42からのビデオデータはクロックされて、適当な形でLCD10用のデータ入力になる。グルーロジックは、入力として元の垂直および水平同期信号およびマイクロコントローラ34の出力を有するのみならず、入力として同期発生器46からの完全プログラマブル同期信号を有している。

【0045】好適実施例においては、同期発生器46はナショナルセミコンダクタのLM1882であり、これは基本タイミング信号を発生するとともに、発振器タイミング入力信号に基づく所望の出力同期信号を発生するようにプログラムすることができる。同期発生器46はマイクロコントローラ34の制御の下に動作し、マイクロコントローラ34に検知されたビデオデータ入力との両立に必要な適当な同期信号を発生する。

【0046】また、同期コントローラおよびデータバス

マネージャ32の一部が、位相・周波数検出器48として利用されている。位相・周波数検出器48は、フロントエンド30からの水平同期入力を利用し、電圧制御発振器（VCO）50を制御する。この電圧制御発振器50は再生されたソースすなわち画素クロック出力を同期発生器46および同期コントローラおよびデータバスマネージャ32に供給する。同期発生器における再生画素クロック出力は、再生同期信号として位相・周波数検出器48に供給される。画素クロックはほとんど全ての他のシステムによって利用されるので、多くの個々の接続は図示されてなく、画素クロック情報を同期コントローラおよびデータバスマネージャ32に供給する矢印によってのみ表されている。

【0047】同期発生器は従来よりビデオソースにより使用されているのに対して、本装置はビデオソースから離れているので、ビデオレシーバと考えることができることに注意されたい。再生水平同期信号を発生する位相・周波数検出器48および同期発生器46を有する位相・周波数感知制御ループおよびVCO50の使用によって、本発明は、入ってくるビデオ信号に位相および周波数でロックされるが、マイクロコントローラ34の制御の下に完全に再構成可能である再生同期システムを利用している。

【0048】マイクロコントローラの制御と関連して、同期コントローラおよびデータバスマネージャ32を有するフィールド・プログラマブル・ゲート・ロジックは、入ってくる実質的にいかなるビデオ信号をもってしてもTFT液晶ディスプレイシステムに重要なビデオ出力データをサポートまたは供給するように、システムを再構成することができる。ラインバッファ、同期発生器チップ、フィールド・プログラマブル・ゲート・アレイおよび高応答クロック再生システムは、全てマイクロコントローラ34からのマイクロプロセッサ制御の下にあるが、これらを組み合わせたものはTFT LCDディスプレイの「待ち時間（latency）」特性を完全に利用することができる。

【0049】主な利点は、マイクロコントローラ34およびラインバッファメモリ38内に含まれたプロセッサメモリとして設けられている唯一のシステムメモリをもって、広いビデオ標準適合性を達成するように、TFTメモリ特性を利用できることである。補助フレーム記憶システムを必要とすることなく、多重ビデオ入力を利用できることは非常に重要なことである。カラーの数またはカラーの階調数が増大するに従って、フィールド・プログラマブル・ゲート・アレイと、フロントエンド装置30の解像度およびラインバッファメモリの複雑さは、わずかに増大するのみである。補助フレームメモリを利用したTFTまたは他のLCDシステム用の従来のビデオマネージャは、増大したカラー性能を処理するため、大きさが劇的に増大したフレームメモリを必要とし

ている。これは、このようなシステムを大型化するとともに高価なものとし、一般的に好ましくない。

【0050】次に示すのは、LCDパネル上に3つの共通のビデオを表示する図5の回路による独自の動作の概要を示す例である。

I. V G A ビデオ

V G AビデオはI B Mコンピュータに対する最も一般的なビデオタイプである。従来定められている16以上の異なるV G Aモードがある。3つの代表的なモードを次に示す。

【0051】A. V G Aグラフィックモードパラメータ

31 K H Z水平走査レート

60 H Z垂直フレームレート

640の表示水平画素

160の表示されない水平（ブランキング）画素

480の表示水平ライン

45の表示されない垂直ライン

25 M H Zの画素クロック

水平同期は多くの場合正であり、小さなパルスはゼロになる

垂直同期も多くの場合正である。

【0052】B. V G Aテキストモードパラメータ

31 K H Z水平走査レート

70 H Z垂直フレームレート

720の表示水平画素

180の表示されない水平画素

400の表示水平ライン

49の表示されない垂直ライン

28 M H Zの画素クロック

水平同期は多くの場合正であり、小さなパルスはゼロになる

垂直同期もまた多くの場合正である。

【0053】C. E G Aエミュレーションモードパラメータ

31 K H Z水平走査レート

70 H Z垂直フレームレート

640の表示水平画素

180の表示されない水平画素

350の表示垂直ライン

100の表示されない表示ライン

28 M H Zの画素クロック

水平同期は多くの場合正であり、小さなパルスはゼロになる

垂直同期は多くの場合負であり、正方向の同期パルスを有する

【0054】図5のダイアグラムに示すように、マイクロコントローラ34の8051プロセッサは、ビデオ入力として供給される水平および垂直同期信号の特性を常に監視している。同期信号の周波数は8051のクロックの水晶に基づいており、すなわち周波数はある同期間

隔で発生するクロックサイクルに基づいて計算される。上述したビデオフォーマットは、まず31 K H Zの水平同期レートによって識別される。このレートは3つのビデオに対して共通であるが、装置に供給される他のビデオフォーマット（すなわち、約34 K H Zの水平同期レートを有するアップル・マッキントッシュIIビデオ）に対して独自のものである。これら3つのビデオフォーマットは、垂直フレームレートおよび垂直同期信号の「センス(sense)」(すなわち、同期信号が多くの場合に正または負のどちらであるか)を続いて調べることによって互いに分類される。看取され得るように、これはこれらのビデオの各々を別個のものとして識別する。

【0055】一度識別されると、これらのビデオは次のように処理される。

(1) V G Aグラフィックス：同期発生器46は、V C O 50の画素クロック出力からの800カウント毎に再生水平同期信号を出力するようにプログラムされる。次いで、検出器48において、この再生水平同期信号を、位相および周波数に関して、入ってくる水平同期信号と連続的に比較し、画素クロックを出力する。更に、同期発生器46は、再生垂直同期信号を発生するようにプログラムされる。画素クロックを使用し、入ってくるカラー信号をディジタル化するコンバータ36内の3つの高速フラッシュA/Dコンバータを駆動する。マルチチャンネルD/Aコンバータを設けることができ、フロントエンド30における利得を制御するようにプログラムする。このコンバータは、適当なコントラストおよび輝度のためにコンバータオフセットを調整する。また画素クロックを使用し、ディジタル化されたビデオデータを周期的に再同期する。

【0056】ディジタル化されたビデオ信号を、グレイスケールロジック40によって処理し、ついで再生された水平および垂直信号を使用して、「グレー」ロジックによってLCDパネルにクロック入力する。入ってくるビデオ信号は、LCDパネルのように640×480画素形式であるので、適当な表示のために特別な配慮は必要としない。

【0057】(2) V G Aテキスト：同期発生器46とD/Aコンバータおよび「グレー」ロジックは上述したようにプログラムされる。しかしながら、V G Aテキストスクリーンは、449ラインのみを有しており、400ラインのみがアクティブディスプレイ用である。「待ち時間」技術を適用することが必要であるかのように見える。しかしながら、安全に二重表示することができるブランキングの49ラインがある。これは、これらが黒であることを保証されているからである。表示画像をLCD上に(適当な垂直同期タイミングの調整によって)注意深く位置決めすることによって、ブランキング期間、スクリーンの上部および底部に二重に形成され、400ラインの画像は観察者の視点から認められるほどの

データの重なりもなく表示される。

【0058】また、VGAテキストモードは、720画素の幅であることに注意されたい。好適実施例におけるLCDパネルは、640画素の幅である。通常、ビデオデータは、パネルの一方の側または他方の側で失われる。しかしながら、VGAテキストビデオは、各キャラクタセル（8画素幅）の間に空白列を有している。各ブランク列を取ってしまうならば、80画素の減少となり、VGAテキストビデオはちょうど640画素に減る。

【0059】第9番目の画素を、LCDパネルへの各9番目の各クロックパルス毎のブランキングによってリアルタイムで「取って」しまうので、空白列のビデオデータがLCDに供給されたとしても、そのデータはディスプレイにクロック入力されない。同様な効果は、フレーム記憶システムにおける各9番目の列をなくすことによって達成されるが、これは本発明が克服する余分なメモリ要求の条件をまさに必要とする。

【0060】(3)EGAエミュレーション：全てのパラメータは第9番目の画素の消失がないことを除いて、VGAテキストと同じである。

【0061】I I . EGAビデオ

EGAビデオはIBM PCにおける2番目に最も人気のあるスタンダードであり、VGAが約1988年に導入されるまでの約5年間最も優れたビデオであった。

【0062】EGAは21.85KHZの独自の水平走査レートに基づいてマイクロコントローラ34によって識別される。ビデオフォーマットは、16ラインのブランキングが続く、350のアクティブラインのディスプレイから構成される。ブランキングを二重表示するとしても、1つの垂直フレーム期間内において480ラインLCDの全てを決して走査できないことが理解されよう。従って、EGAビデオフォーマットを表示するために、「待ち時間」概念を利用し、待ち時間フレームおよびその抑制された垂直同期ビットを使用して、一つおきのフレーム毎にLCDパネルを走査し、パネル走査を完了する。

【0063】I I I . CGAビデオ

CGAビデオはIBMによってもはや使用されていない旧式のIBMスタンダードであるが、まだ広く使用されている。ビデオは各640画素の200ラインとしてフォーマットされる。CGAを有効に表示するために、二重走査技術が使用され、「グルー」ロジック44は、640×400ラインの表示を発生する二重走査を開始するために、ラインバッファ（FIFOメモリ38）をエネーブルする。二重走査は、ブランキング期間をも二重化し、待ち時間技術を必要とすることなく、480ラインのLCD上に640×200の画像を表示できることに注意されたい。しかしながら、たとえば150ラインのデータのビデオに遭遇するような場合には、最も好ま

しく有効なディスプレイのために「二重走査」および「待ち時間」技術の両方を使用することもできる。

【0064】従って、上述した内容に鑑み、本発明には多くの変更および変形があることは本技術分野に専門知識を有する者に明らかであろう。異なる別の制御チップ、マイクロコントローラ、同期発生器、FIFOメモリおよび同期コントローラおよびデータバスマネージャを利用することができる。更に、好適実施例はRGBカラービデオ入力を利用しているが、白黒入力にも本処理システムを有効に利用することができる。実際、本システムはアナログビデオ、デジタルビデオまたは複合ビデオ信号とともに有益に使用することができる。

【0065】更に、本発明はビデオ出力をTFT液晶ディスプレイシステムに供給する場合について説明しているが、同様な「待ち時間」特性を有するMIM（金属-絶縁-金属）またはPINダイオードLCDシステムのような他のLCDディスプレイシステムにも使用することができる。本発明にとって重要なのは、このような「待ち時間」または「メモリ」特性を利用することができることである。

【0066】従って、本明細書は一例であり、本発明の好適実施例について記載しているが、本発明はこれらに限定されるものでなく、特許請求の範囲によってのみ限定されるものである。

【0067】

【発明の効果】本発明によれば、LCDディスプレイに各種のビデオスタンダードによるビデオデータを表示する際の問題点を、補助のフレームメモリおよびアドレスシステムを設けることなく解消することができる。

【図面の簡単な説明】

【図1】従来技術において知られているTFT液晶ディスプレイ装置を示す回路図である。

【図2】従来技術において知られている480ラインのビデオデータを480ラインのLCDディスプレイに供給する4つの連続したフレームを示す図である。

【図3】従来技術において知られている350ラインのビデオデータを480ラインのLCDディスプレイに供給する4つの連続したフレームを示す図である。

【図4】本発明の一実施例による350ラインのビデオデータ入力を480ラインのLCD上に表示するときの4つの連続したフレームを示す図である。

【図5】本発明の好適実施例のデータおよび同期制御経路を示すブロック図である。

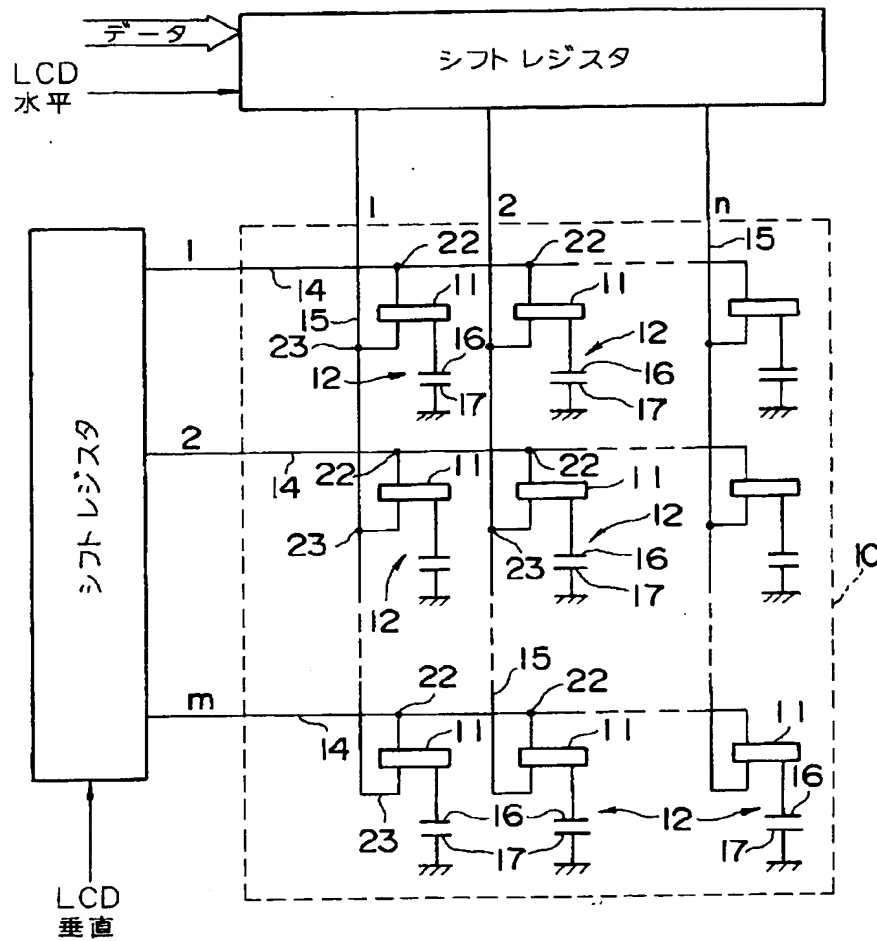
【符号の説明】

- 10 液晶ディスプレイ
- 11 スイッチング要素
- 12 ディスプレイエレメント
- 16 画素電極
- 17 共通電極
- 32 同期コントローラおよびデータバスマネージャ

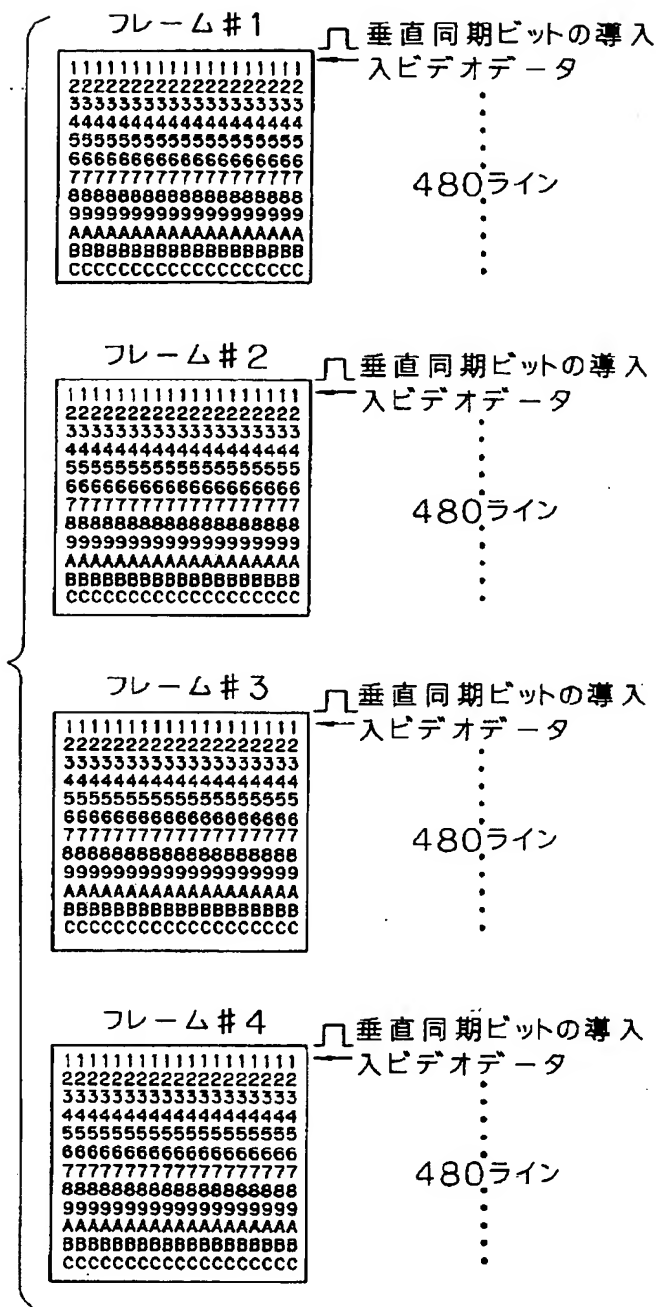
34 マイクロコントローラ
 38 ラインバッファメモリ (FIFOメモリ)
 40 グレースケーリングロジック

42 待ち時間用ブランキング制御回路
 44 グルーロジック
 48 位相・周波数検出器

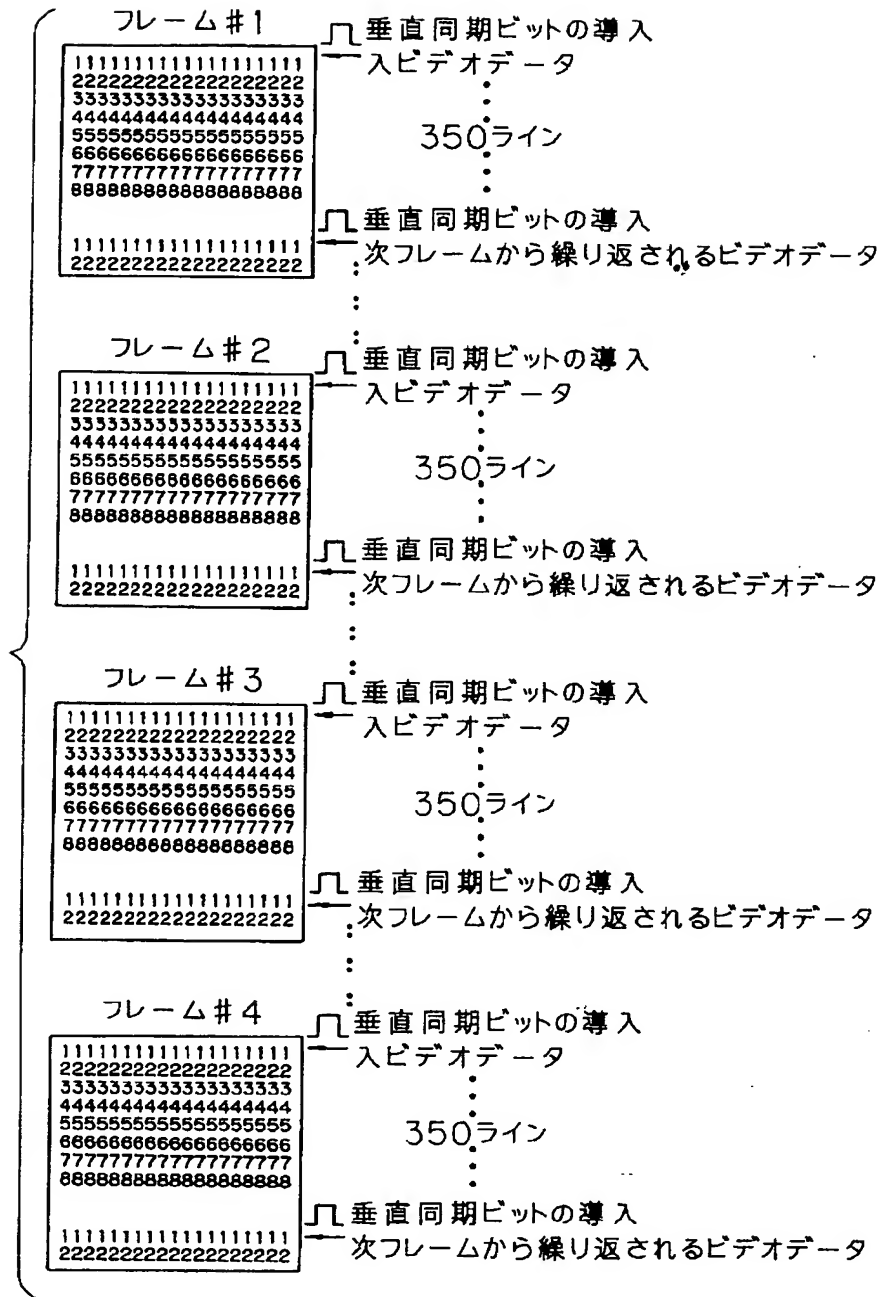
【図1】



【図2】



【図3】



【図4】

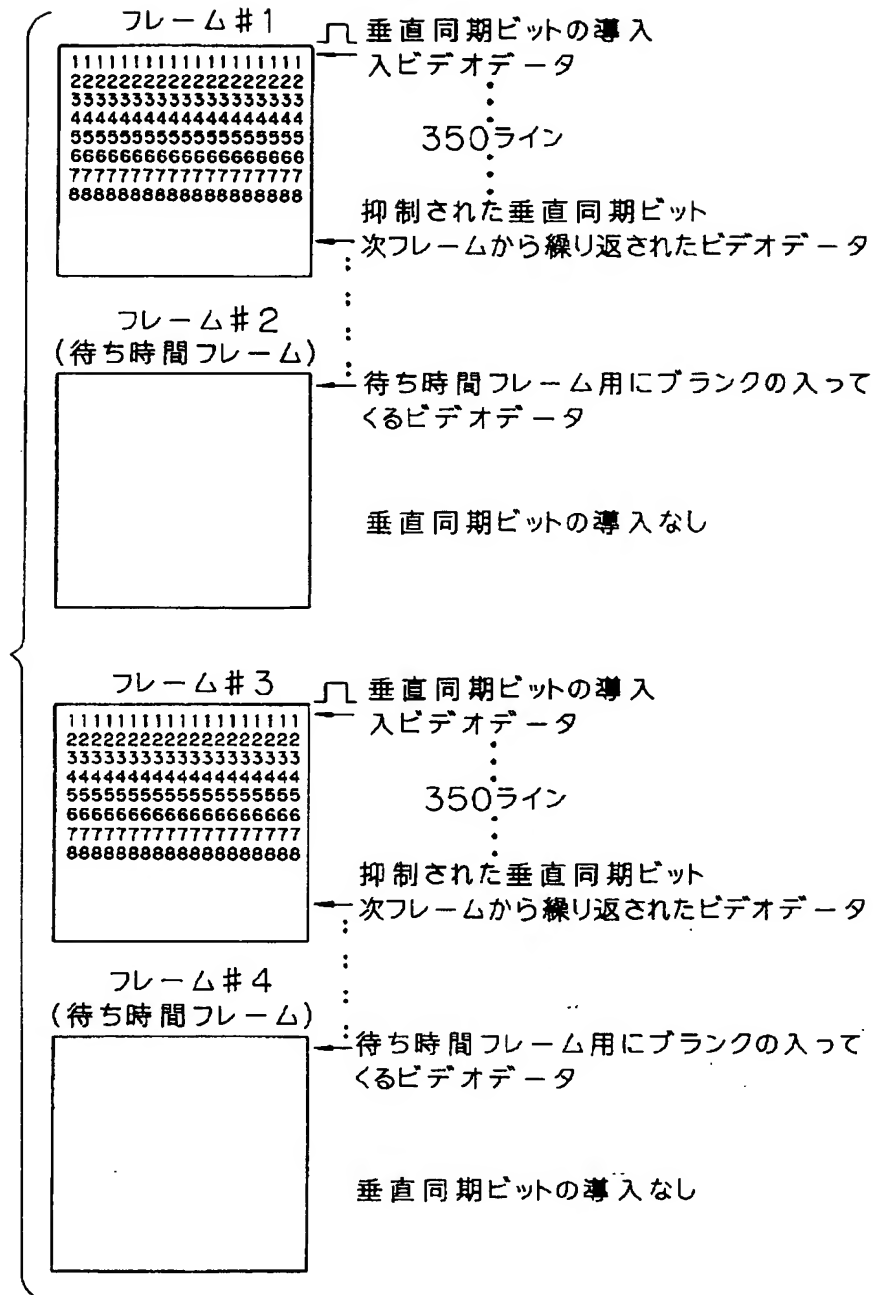


Figure 1 is a block diagram of a video processing system. The system includes the following components and connections:

- 30 フロントエンド (Front End):** Receives video input from a computer (コンピュータからのビデオ入力) and outputs red (赤), green (緑), and blue (青) signals to the TFT LCD Display (10).
- 36 アナログデジタルコンバータ (Analog-to-Digital Converter):** Converts the analog video input from the Front End (30) into digital data.
- 40 FIFOメモリ (FIFO Memory):** Buffers the digital data between the ADC (36) and the DAC (38).
- 38 デジタルアナログコンバータ (Digital-to-Analog Converter):** Converts the digital data from the FIFO (40) back into an analog signal.
- 42 「プルー」ロジック (PLL Logic):** Receives a master clock signal (全プログラマブル同期信号) and generates horizontal sync (水平同期) and vertical sync (垂直同期) signals.
- 44 「ブルー」ロジック (PLL Logic):** Receives the master clock signal and generates horizontal sync (水平同期) and vertical sync (垂直同期) signals.
- 48 位相および周波数検出器 (Phase and Frequency Detector):** Receives the master clock signal and outputs a phase-locked loop (PLL) signal to the PLL Logic (42).
- 34 マイクロコントローラ (Microcontroller):** Controls the system, receiving the master clock signal and managing the FIFO (40), PLL (42), and DAC (38).
- 10 TFT液晶ディスプレイ (TFT LCD Display):** Receives the video signals from the Front End (30) and displays them.

フロントページの続き

(72)発明者 アーサー・ダブリュー・ヴォジエリー
 アメリカ合衆国、23692 ヴァージニア、
 ヨークタウン、ヨーク・ヴュー・ロード
 210

(72)発明者 パトリック・エイチ・ニュートン
 アメリカ合衆国、23660 ヴァージニア、
 ハンプトン、パーシング・コート 3314